

91A-03205

封條 8664

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 10 日
Application Date

申請案號：092100495
Application No.

申請人：瑞昱半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 13 日
Issue Date

發文字號：09220815310
Serial No.

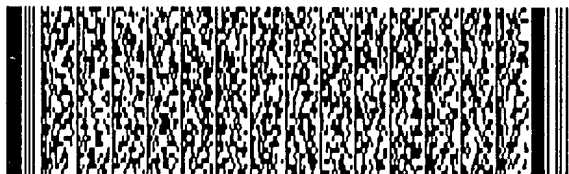
91A-03276J

申請日期：	IPC分類
申請案號：	

以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種具有梯型電阻架構之運算放大器電路
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	1. 蔡瑞原 2. 黃睿政 3. 李朝政
	姓 名 (英文)	1. 2. Huang Jui-Cheng 3. Chao-Cheng LEE
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台南市金華路1段475巷30號 2. 新竹市武陵路179巷12號13F-4 3. 桃園縣中壢市新生路三吉公寓2巷61-1
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學園區工業東九路二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 葉博任
	代表人 (英文)	1.



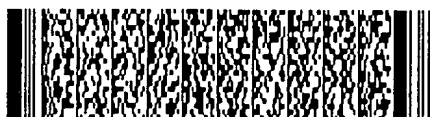
0683-8864TWE(al):91A-32-robert_pid

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 王文祺
	姓 名 (英 文)	4. Wen-Chi WAN
	國 籍 (中 英 文)	4. 中華民國 TW
	住居所 (中 文)	4. 雲林縣西螺鎮新豐里225號
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：一種具有梯型電阻架構之運算放大器電路)

一種具有梯型電阻架構之運算放大器電路。該運算放大器電路包括一運算放大器具有反相輸入端、耦接於接地點之正相輸入端、以及輸出端；一複數級梯型電阻，各級梯型電阻包括節點、第一電流路徑與第二電流路徑，第一電流路徑與第二電流路徑係共同連接於節點，各級梯型電阻之第一電流路徑係耦接於下一級梯型電阻之節點，而第二電流路徑係耦接於接地點，且最後一級梯型電阻之第一電流路徑係耦接於反相輸入端，以及一負載單元係耦接於反相輸入端。

伍、(一)、本案代表圖為：第10圖

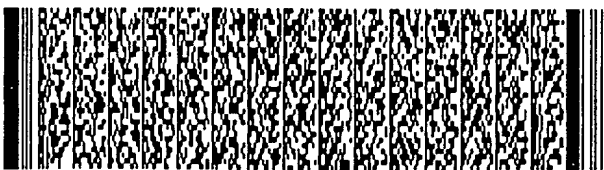
(二)、本案代表圖之元件代表符號簡單說明：

56 ~ 梯型電阻

C_{42} ~ 電容

V_{in} ~ 輸入電壓

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：一種具有梯型電阻架構之運算放大器電路)

V_{out} ~ 輸出電壓

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

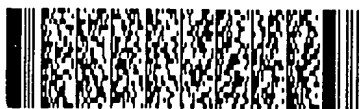
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

[發明所屬之技術領域]

本發明係有關於一種運算放大器電路，特別是有關於一種具有梯型電阻架構之運算放大器電路。

[先前技術]

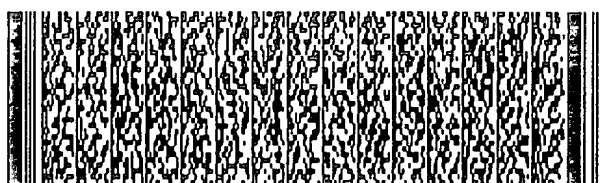
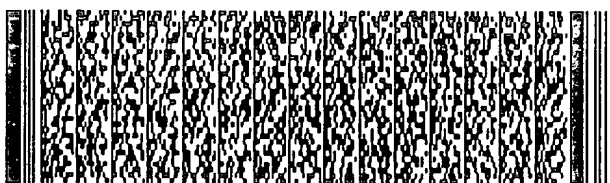
積分器、微分器、低通濾波器以及高通濾波器等放大器電路為通訊系統中常用之元件。近年來，在可攜式行動通訊設備中，對於小體積、高品質的放大器電路有著殷切需求。

第1圖至第4圖係分別顯示傳統積分器、微分器、低通濾波器以及高通濾波器之電路圖。如第1圖所示之積分器，包括一運算放大器10，其正相輸入端係耦接至接地點，電容 C_{11} 係耦接於運算放大器10之輸出端以及反相輸入端之間，另外，電阻 R_{11} 係耦接於運算放大器10之反相輸入端，而積分器之輸出端 V_{out} 與輸入端 V_{in} 之關係為 $V_{out}/V_{in} = -1/SRC$ 。其中 R 與 C 代表分別電阻 R_{11} 與電容 C_{11} 之電阻值與電容值，而積分器之時間常數為電阻 R_{11} 與電容 C_{11} 之乘積。第2圖所示之微分器，包括一運算放大器10，其正相輸入端係耦接至接地點，電阻 R_{12} 係耦接於運算放大器10之輸出端以及反相輸入端之間，另外，電容 C_{12} 係耦接於運算放大器10之反相輸入端，而微分器之輸出端 V_{out} 與輸入端 V_{in} 之關係為 $V_{out}/V_{in} = -SRC$ 。其中 R 與 C 代表分別電阻 R_{12} 與電容 C_{12} 之電阻值與電容值，而微分器之時間常數為電阻 R_{12} 與電容 C_{12} 之乘積。第3圖所示之低通濾波器，包括一運算放大器10，其正相輸入端係耦接至接地點，電容 C_{13} 與



五、發明說明 (2)

電阻 R_{13} 係並聯且耦接於運算放大器10之輸出端以及反相輸入端之間，另外，電阻 R_{14} 係耦接於運算放大器10之反相輸入端，而低通濾波器之輸出端 V_{out} 與輸入端 V_{in} 之關係為 $V_{out}/V_{in} = -R_{13}/R_{14} (1 + SR_{13}C_{13})$ ，而低通濾波器之時間常數為電阻 R_{13} 與電容 C_{13} 之乘積。另外，第4圖所示之高通濾波器，包括一運算放大器10，其正相輸入端係耦接至接地點，電阻 R_{16} 係耦接於運算放大器10之輸出端以及反相輸入端之間，另外，電阻 R_{15} 與電容 C_{14} 係串聯並耦接於運算放大器10之反相輸入端。低通濾波器之輸出端 V_{out} 與輸入端 V_{in} 之關係為 $V_{out}/V_{in} = -SR_{16}C_{14} / (1 + SR_{15}C_{14})$ ，而高通濾波器之時間常數為電阻 R_{15} 與電容 C_{14} 之乘積。以第1圖所示之低通濾波電路為例，藉由調整電阻 R_{11} 及電容 C_{11} 即可得到所需之截止頻率，其中，截止頻率之值為 $1/(R_{11} * C_{11})$ 。若要將截止頻率設定為10Hz時，電阻 R_{11} 與電容 C_{11} 之乘積應為 $1/(2 * \pi * 10)$ 。若使用積體電路中合理之電容值10Pf作為電容 C_{11} 之電容值，則電阻 R_{11} 之阻值必須為1592Meg。然而，要在積體電路中，製造具有上述電阻值之電阻是相當不經濟的。若以積體電路中，可於單位面積產生最大電阻值之N型井為例，所需之面積即高達 $1262\mu * 1262\mu \text{ m}^2$ ，此面積甚至比整個核心電路面積還大。因此在積體電路中實現一個極大電阻值是急需解決的問題。而其他如第2圖至第4圖所顯示之微分電路、低通濾波電路以及高通濾波電路等，若要得到相同之時間常數，皆會遭遇到上述之問題，因此，在積體電路之電阻或電容值的限制下，傳統放



五、發明說明 (3)

大器電路之時間常數很難達到理想之值，故影響了傳統放大器電路之實際效能。

[發明內容]

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種放大器電路，能夠於積體電路之電路架構下，實現大時間常數之放大器電路。再者，本發明係利用梯型電阻之設計來有效減少放大器電路在達到大時間常數目的下所需之電阻。

本發明次要目的在於提供一種電路，能夠於積體電路下，實現極大的阻抗特性。

為獲致上述之目的，本發明提出一種在積體電路中實現大時間常數之放大器電路。運算放大器具有反相輸入端、耦接於接地點之正相輸入端、以及輸出端。複數級梯型電阻，各級梯型電阻包括節點、第一電流路徑與第二電流路徑，第一電流路徑與第二電流路徑係共同連接於節點，各級梯型電阻之第一電流路徑係耦接於下一級梯型電阻之節點，而第二電流路徑係耦接於接地點，且最後一級梯型電阻之第一電流路徑係耦接於反相輸入端。負載單元係耦接於反相輸入端與輸出端之間。

另外，本發明提出一種在積體電路中實現大時間常數之放大器電路。運算放大器具有反相輸入端、耦接於接地點之正相輸入端、以及輸出端。複數級梯型電阻係耦接於反相輸入端與輸出端之間，各級梯型電阻包括節點、第一電流路徑與第二電流路徑，第一電流路徑與第二電流路徑



五、發明說明 (4)

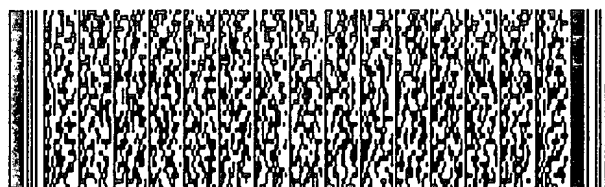
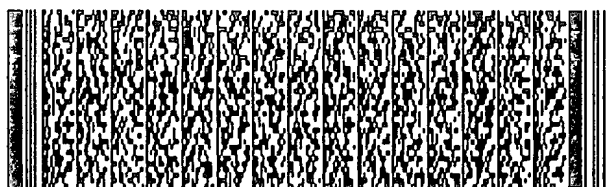
係共同連接於節點，各級梯型電阻之第一電流路徑係耦接於下一級梯型電阻之節點，而第二電流路徑係耦接於接地點，且最後一級梯型電阻之第一電流路徑係耦接於反相輸入端。負載單元係耦接於反相輸入端。

[實施方式]

實施例：

根據本發明實施例所述之放大器電路，係利用梯型電阻來有效減少需實現大時間常數之放大器電路所需之電阻。以下介紹梯型電阻之電路結構及原理。

第5圖係顯示5級梯型電阻之電路結構圖。各電阻之電阻值可為非特定阻值之組合。但為了簡化說明，在此以電阻 (R_{20} 、 R_{21} 、 R_{23} 、 R_{25} 、 R_{27} 、 R_{29}) 之阻值為電阻 (R_{22} 、 R_{24} 、 R_{26} 、 R_{28}) 之兩倍為例。首先討論梯型電阻之等效電路。電阻 R_{20} 與 R_{21} 並聯後之阻值為 $1R$ ，與電阻 R_{22} 串聯後，等效阻抗為 $2R$ 。接著此等效阻抗再與 R_{23} 並聯，以此類推，因此當電流 I 自輸入點 V_{i1} 輸入後，於節點 30、32、34、36、38 上，兩電流路徑之阻抗皆為 $2R$ ，因此於流經各節點時，電流量皆會減半，因此於各電阻之流量如第5圖所示。由於為5級梯型電阻，因此於輸出端 V_{o1} 輸出之電流量為 $I/2^5$ ，且此電流量會因為級數提高而減小，因為電流量減小可表示等效電阻值變大，亦表示對電容的充電時間增加，故利用梯型電阻可實現在積體電路內須要極大電阻值的應用。當然梯型電阻之架構會有其他之變型，任何熟習此項技藝者，所做些許的更動與潤飾，例如：省略 R_{29} ，或



五、發明說明 (5)

是省略 R_{20} ，或是省略 R_{20} 及 R_{29} ，或是利用複數個電流路徑造成輸出之電流量減小，都不脫離本發明之精神和範圍內。

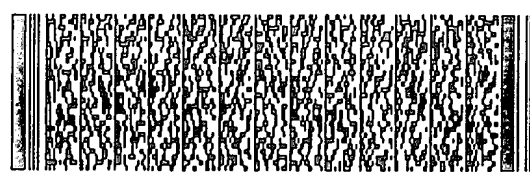
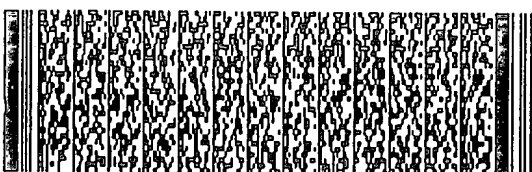
以下將說明將梯型電阻應用於放大器電路之例子。

第一實施例

第6圖係顯示根據本發明第一實施例所述之放大器電路之電路圖。在本實施例中係利用梯型電阻以達到目標之電阻值。為簡化說明，有關梯型電阻之電路結構請參閱第5圖。根據本發明第一實施例所述之放大器電路，包括一運算放大器40，其正相輸入端係耦接至接地點，電阻 R_{41} 係耦接於運算放大器40之輸出端以及反相輸入端之間，另外，梯型電阻50之輸出端 V_{o1} 係耦接於運算放大器40之反相輸入端，而輸入端 V_{i1} 係耦接於放大器電路之輸入端 V_{in} ，其等效電阻為 R_{eq} ，而整體放大器電路之輸出端 V_{out} 與輸入端 V_{in} 之關係為 $V_{out}/V_{in} = -R_{41}/R_{eq}$ ， $R_{eq} = 2^N \times R$ 。

第二實施例

第7圖係顯示根據本發明第二實施例所述之放大器電路之電路圖。該放大器電路，包括一運算放大器40，其正相輸入端係耦接至接地點，電阻 R_{42} 係耦接於運算放大器40之反相輸入端與放大器電路之輸入端 V_{in} 之間，另外，梯型電阻52之輸出端 V_{o1} 係耦接於運算放大器40之反相輸入端，其輸入端 V_{i1} 係耦接於放大器電路之輸出端 V_{out} ，其等效電阻為 R_{eq} ，而整體放大器電路之輸出端 V_{out} 與輸入端 V_{in} 之關係為 $V_{out}/V_{in} = -R_{eq}/R_{42}$ ， $R_{eq} = 2^N \times R$ 。



五、發明說明 (6)

第三實施例

第8圖係顯示根據本發明第三實施例所述之放大器電路之電路圖。該放大器電路，包括一運算放大器40，其正相輸入端係耦接至接地點，梯型電阻53之輸出端係耦接於運算放大器40之反相輸入端，而輸入端係耦接於放大器電路之輸入端 V_{in} ，其等效電阻為 R_{eq1} 。另外，梯型電阻54之輸出端係耦接於運算放大器40之反相輸入端，其輸入端係耦接於放大器電路之輸出端 V_{out} ，其等效電阻為 R_{eq2} ，而整體放大器電路之輸出端 V_{out} 與輸入端 V_{in} 之關係為

$V_{out}/V_{in} = -R_{eq2}/R_{eq1}$ 。在此，梯型電阻53與54之輸入端與輸出端分別對應於如第5圖所示梯型電阻之輸入端 V_{il} 與輸出端 V_{ol} 。

第四實施例

第9圖係顯示根據本發明第四實施例所述之微分電路之電路圖。該微分電路，包括一運算放大器40，其正相輸入端係耦接至接地點，梯型電阻55之輸出端 V_{ol} 係耦接於運算放大器40之反相輸入端，而輸入端 V_{il} 係耦接於微分電路之輸出端 V_{out} ，其等效電阻為 R_{eq} 。另外，電容 C_{41} 係耦接於運算放大器40之反相輸入端，其輸入端係耦接於微分電路之輸入端 V_{in} ，而整體微分電路之輸出端 V_{out} 與輸入端 V_{in} 之關係為 $V_{out}/V_{in} = -SR_{eq}C$ 。其中 R_{eq} 與 C 代表分別梯型電阻與電容 C_{41} 之電阻值與電容值，而微分器之時間常數為電阻 R_{eq} 與電容 C_{41} 之乘積。

第五實施例



五、發明說明 (7)

第10圖係顯示根據本發明第五實施例所述之積分電路之電路圖。該積分電路，包括一運算放大器40，其正相輸入端係耦接至接地點，梯型電阻56之輸出端Vol係耦接於運算放大器40之反相輸入端，而輸入端Vil係耦接於積分電路之輸入端Vin，其等效電阻為 R_{eq} 。另外，電容 C_{42} 係耦接於運算放大器40之反相輸入端與積分電路之輸出端Vout之間，而整體積分電路之輸出端Vout與輸入端Vin之關係為 $V_{out}/V_{in} = -1/SR_{eq}C$ 。其中 R_{eq} 與C代表分別梯型電阻與電容 C_{42} 之電阻值與電容值，而積分器之時間常數為電阻 R_{eq} 與電容 C_{42} 之乘積。

第六實施例

第11圖係顯示根據本發明第六實施例所述之低通濾波電路之電路圖。該低通濾波電路，包括一運算放大器40，其正相輸入端係耦接至接地點，梯型電阻57之輸出端Vol係耦接於運算放大器40之反相輸入端，而輸入端Vil係耦接於低通濾波電路之輸出端Vout，其等效電阻為 R_{eq} 。另外，電容 C_{43} 同樣耦接於運算放大器40之反相輸入端與低通濾波之輸出端Vout之間，電阻 R_{43} 係耦接於低通濾波電路之輸入端Vin與運算放大器40之反相輸入端之間。而整體低通濾波電路之輸出端Vout與輸入端Vin之關係為 $V_{out}/V_{in} = -R_{eq}/R_{43} (1 + SR_{eq}C_{43})$ 。而低通濾波器之時間常數為電阻 R_{eq} 與電容 C_{43} 之乘積。

第七實施例

第12圖係顯示根據本發明第七實施例所述之高通濾波

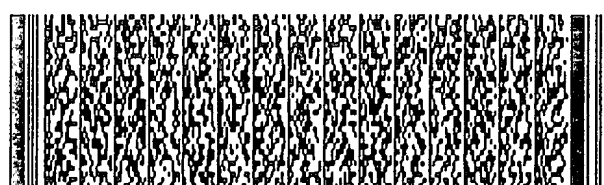
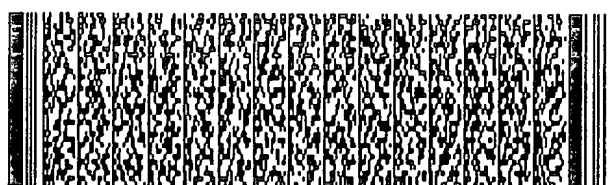


五、發明說明 (8)

電路之電路圖。該高通濾波電路，包括一運算放大器40，其正相輸入端係耦接至接地點，梯型電阻58之輸出端V_{o1}係耦接於運算放大器40之反相輸入端，其等效電阻為R_{eq}，而電容C₄₄係耦接於梯型電阻58之輸入端V_{i1}與高通濾波電路之輸入端V_{in}之間，亦即與梯型電阻58串接。另外，電阻R₄₄係耦接於運算放大器40之反相輸入端與高通濾波之輸出端V_{out}之間。而整體高通濾波電路之輸出端V_{out}與輸入端V_{in}之關係為 $V_{out}/V_{in} = -SR_{44}C_{44} / (1 + SR_{eq}C_{44})$ 。而高通濾波器之時間常數為電阻R_{eq}與電容C₄₄之乘積。

根據本發明上述實施例所述之放大電路、微分電路、積分電路、低通濾波電路以及高通濾波電路，由於其係採用複數級梯型電阻作為電阻性負載裝置，因此其等效電阻R_{eq}為 $R * 2^N$ 。若以16級梯型電阻為例，單位電阻值僅需0.024Meg，而全部電阻加起來也僅需1.176Meg，相較於傳統直接使用電阻，僅需原來之1/1353倍即可達到相同之效果。因此，由於上述實施例係採用複數級梯型電阻作為電阻性負載裝置，故使得根據本發明第一實施例至第三實施例所述之放大電路之放大倍率具有更具彈性之範圍，而上述微分電路、積分電路、低通濾波電路以及高通濾波電路之實施例，在採用複數級梯型電阻作為電阻性負載裝置之架構下，能夠輕易達到大時間常數之目的。

在本發明中，各實施例中所揭露之梯型電阻之第一電流路徑以及第二電流路徑上的電阻比例並不須限定為1：2，事實上，梯型電阻之架構會有其他之變型，任何熟習

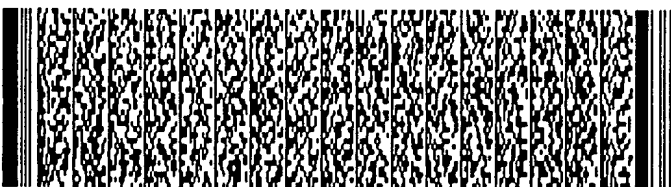


五、發明說明 (9)

此項技藝者，所做些許的更動與潤飾，例如：在圖五中，省略 R_{29} ，或是省略 R_{20} ，或是省略 R_{20} 及 R_{29} ，或是以其他比例或隨機改變梯型電阻各電阻值，例如1：3或3：2，或是利用複數個電流路徑等，只要是梯型電阻具有可產生較大之等效電阻阻值之效果，都不脫離本發明之精神和範圍內。

綜上所述，利用梯型電阻之高等效阻抗特性來取代傳統之電阻器，能夠有效提高各式放大器電路之時間常數，突破了積體電路之電阻值的限制，改善了傳統放大器電路之效能。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示說明：

第1圖至第4圖係分別顯示傳統積分器、微分器、低通濾波器以及高通濾波器之電路圖。

第5圖係顯示5階梯型電阻之電路結構圖。

第6圖係顯示根據本發明第一實施例所述之放大器電路之電路圖。

第7圖係顯示根據本發明第二實施例所述之放大器電路之電路圖。

第8圖係顯示根據本發明第三實施例所述之放大器電路之電路圖。

第9圖係顯示根據本發明第四實施例所述之微分電路之電路圖。

第10圖係顯示根據本發明第五實施例所述之積分電路之電路圖。

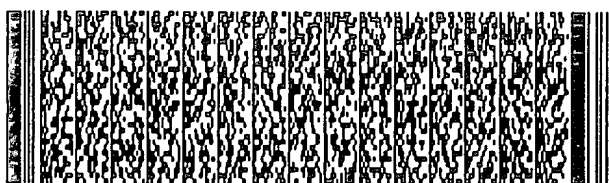
第11圖係顯示根據本發明第六實施例所述之低通濾波電路之電路圖。

第12圖係顯示根據本發明第七實施例所述之高通濾波電路之電路圖。

符號說明：

10、40～運算放大器

21、23、25、27、29、50、52、53、54、55、56、



圖式簡單說明

57、58 ~ 梯型電阻

30、32、34、36、38 ~ 節點

C_{11} 、 C_{12} 、 C_{13} 、 C_{14} 、 C_{41} 、 C_{42} 、 C_{43} 、 C_{44} ~ 電容

R_{11} 、 R_{12} 、 R_{13} 、 R_{14} 、 R_{15} 、 R_{16} 、 R_{20} 、 R_{21} 、 R_{22} 、 R_{23} 、 R_{24} 、

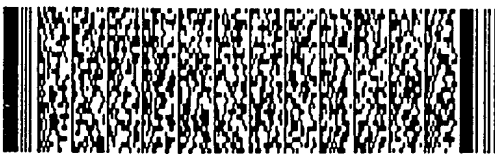
R_{25} 、 R_{26} 、 R_{27} 、 R_{28} 、 R_{29} 、 R_{41} 、 R_{42} 、 R_{43} 、 R_{44} ~ 電阻

V_{i1} ~ 輸入端

V_{o1} ~ 輸出端

V_{in} ~ 輸入電壓

V_{out} ~ 輸出電壓



六、申請專利範圍

1. 一種放大器電路，該放大器電路具有一輸入端，包括：

一運算放大器，具有一反相輸入端、耦接於一接地點之一正相輸入端、以及一輸出端；

一至少一級梯型電阻，耦接於該反相輸入端與該輸入端之間，各級梯型電阻包括一第一節點、一第一電流路徑與一第二電流路徑，該第一電流路徑與該第二電流路徑係共同連接於該第一節點，各級該梯型電阻之該第一電流路徑係耦接於下一級梯型電阻之第一節點，而該第二電流路徑係耦接於接地點，且最後一級梯型電阻之該第一電流路徑係耦接於上述反相輸入端；以及

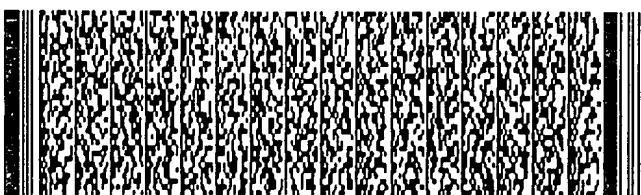
一負載單元，耦接於該反相輸入端與該輸出端之間。

2. 如申請專利範圍第1項所述之放大器電路，其中該負載單元為一電阻。

3. 如申請專利範圍第1項所述之放大器電路，其中該至少一級梯型電阻為一 $R-2R$ 梯型電阻。

4. 如申請專利範圍第1項所述之放大器電路，其中該第二與第一電流路徑之電流值相等。

5. 如申請專利範圍第1項所述之放大器電路，其中該負載單元為一至少一級第二梯型電阻，耦接於該反相輸入端與該輸出端之間，各級第二梯型電阻包括一第二節點、一第三電流路徑與一第四電流路徑，該第三電流路徑與該第四電流路徑係共同連接於該第二節點，各級第二梯型電阻之該第三電流路徑係耦接於下一級第二梯型電阻之該第



六、申請專利範圍

二節點，而該第四電流路徑係耦接於接地點，且最後一級第二梯型電阻之該第三電流路徑係耦接於該反相輸入端。

6. 如申請專利範圍第5項所述之放大器電路，其中該至少一級第二梯型電阻為一R-2R梯型電阻。

7. 如申請專利範圍第5項所述之放大器電路，其中該第四與第三電流路徑之電流值相等。

8. 如申請專利範圍第5項所述之放大器電路，更包括一第一電容，耦接於該第一至少一級梯型電阻之該第一級梯型電阻之節點。

9. 如申請專利範圍第1項所述之放大器電路，其中該負載單元為一第二電容。

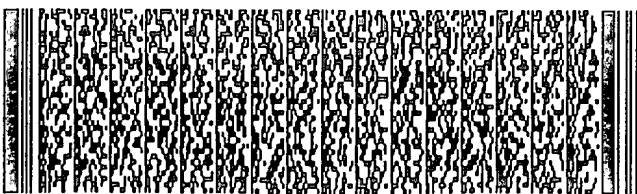
10. 一種放大器電路，包括：

一運算放大器，具有一反相輸入端、耦接於一接地點之一正相輸入端、以及一輸出端；

一複數級梯型電阻，耦接於該反相輸入端與該輸出端之間，各級梯型電阻包括一節點、一第一電流路徑與一第二電流路徑，該第一電流路徑與該第二電流路徑係共同連接於該節點，各級梯型電阻之該第一電流路徑係耦接於該下一級梯型電阻之該節點，而該第二電流路徑係耦接於接地點，且最後一級梯型電阻之該第一電流路徑係耦接於該反相輸入端；以及

一負載單元，耦接於該反相輸入端。

11. 如申請專利範圍第10項所述之放大器電路，其中該負載單元為一電阻。



六、申請專利範圍

12. 如申請專利範圍第10項所述之放大器電路，其中該複數級梯型電阻為一R-2R梯型電阻。

13. 如申請專利範圍第10項所述之放大器電路，其中該第二以及第一電流路徑之電流值相等。

14. 如申請專利範圍第11項所述之放大器電路，更包括一第一電容，耦接於該反相輸入端與該輸出端之間。

15. 如申請專利範圍第10項所述之放大器電路，其中上述負載單元為一第二電容。

16. 一種放大器電路，包括：

一運算放大器，具有一反相輸入端、耦接於一接地點之一正相輸入端、以及一輸出端；

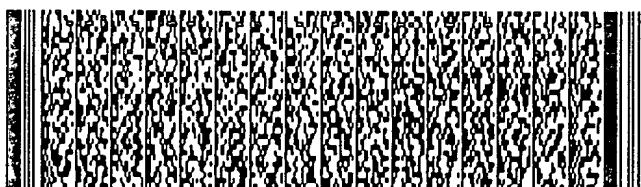
一至少一級梯型電阻，耦接於該反相輸入端與該輸出端之間，各級梯型電阻包括一節點、一第一電流路徑與一第二電流路徑，該第一電流路徑與該第二電流路徑係共同連接於該節點，各級梯型電阻之該第一電流路徑係耦接於下一級梯型電阻之該節點，而該第二電流路徑係耦接於接地點，且最後一級梯型電阻之該第一電流路徑係耦接於該反相輸入端；以及

一電容，耦接於該反相輸入端。

17. 如申請專利範圍第16項所述之放大器電路，其中該至少一級梯型電阻為一R-2R梯型電阻。

18. 如申請專利範圍第16項所述之放大器電路，其中該第二以及該第一電流路徑之電流值相等。

19. 一複數級梯型電阻，具有一輸入端與一輸出端，



六、申請專利範圍

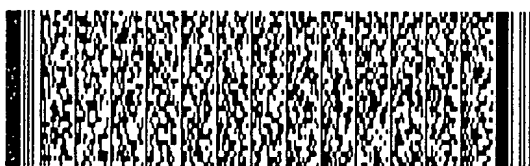
該各級梯型電阻包括：

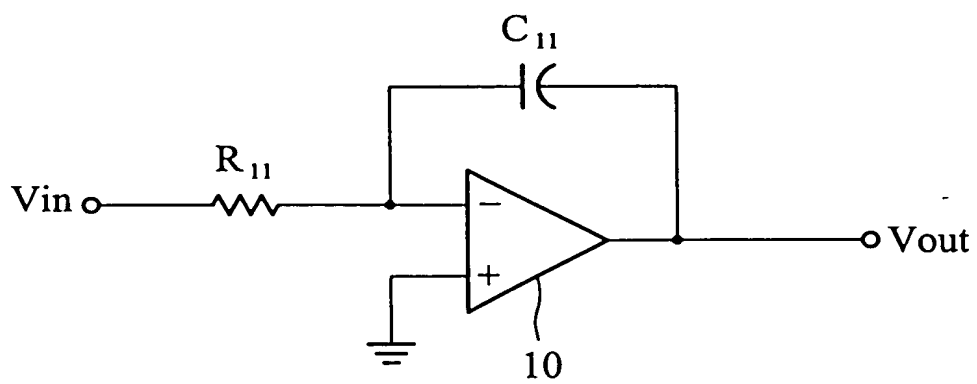
一 第一電流路徑；以及

一 第二電流路徑，係耦接於接地點與該第一電流路徑之間，與該第一電流路徑連接處形成一節點；

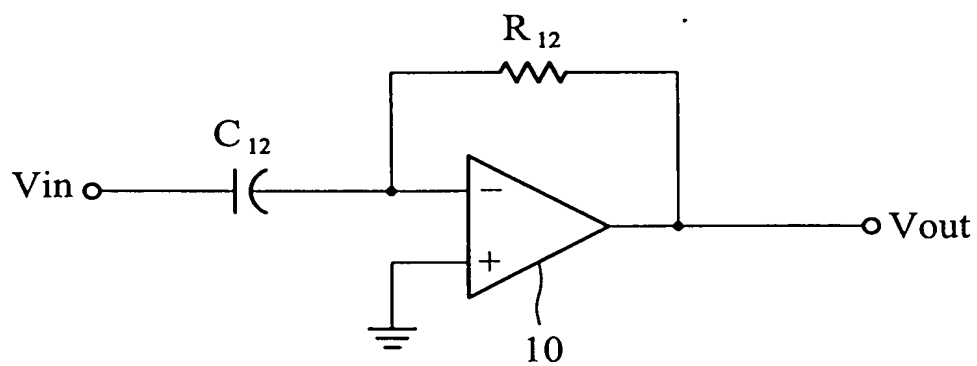
其中，該級梯型電阻之該第一電流路徑係耦接於下一級梯型電阻之該節點，且最後一級梯型電阻之該第一電流路徑為該輸出端，第一級梯型電阻之該節點為該輸入端，且該複數級梯型電阻係在積體電路中，實現高等效阻抗特性。

20. 如申請專利範圍第19項所述之複數級梯型電阻為一R-2R梯型電阻。

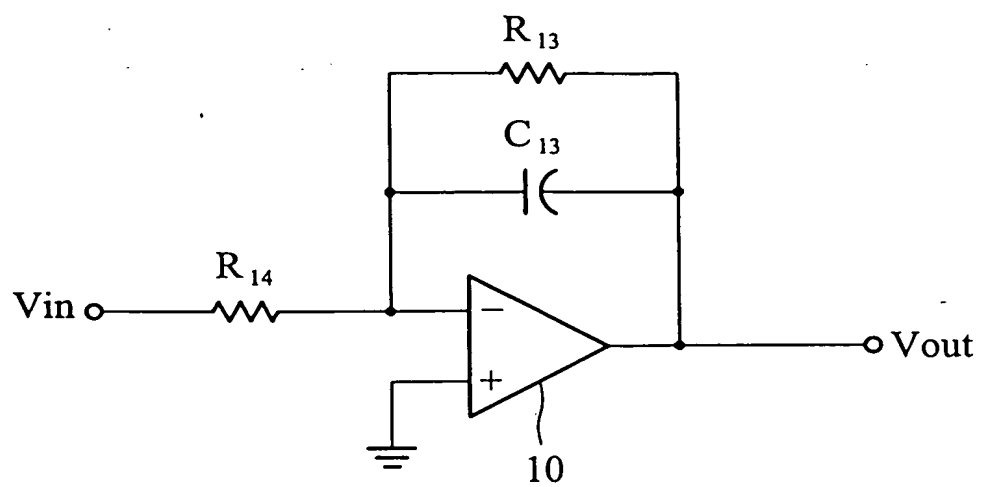




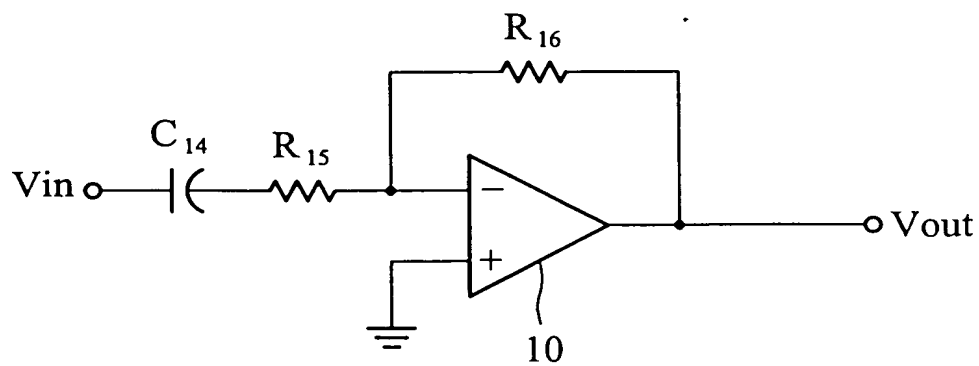
第 1 圖



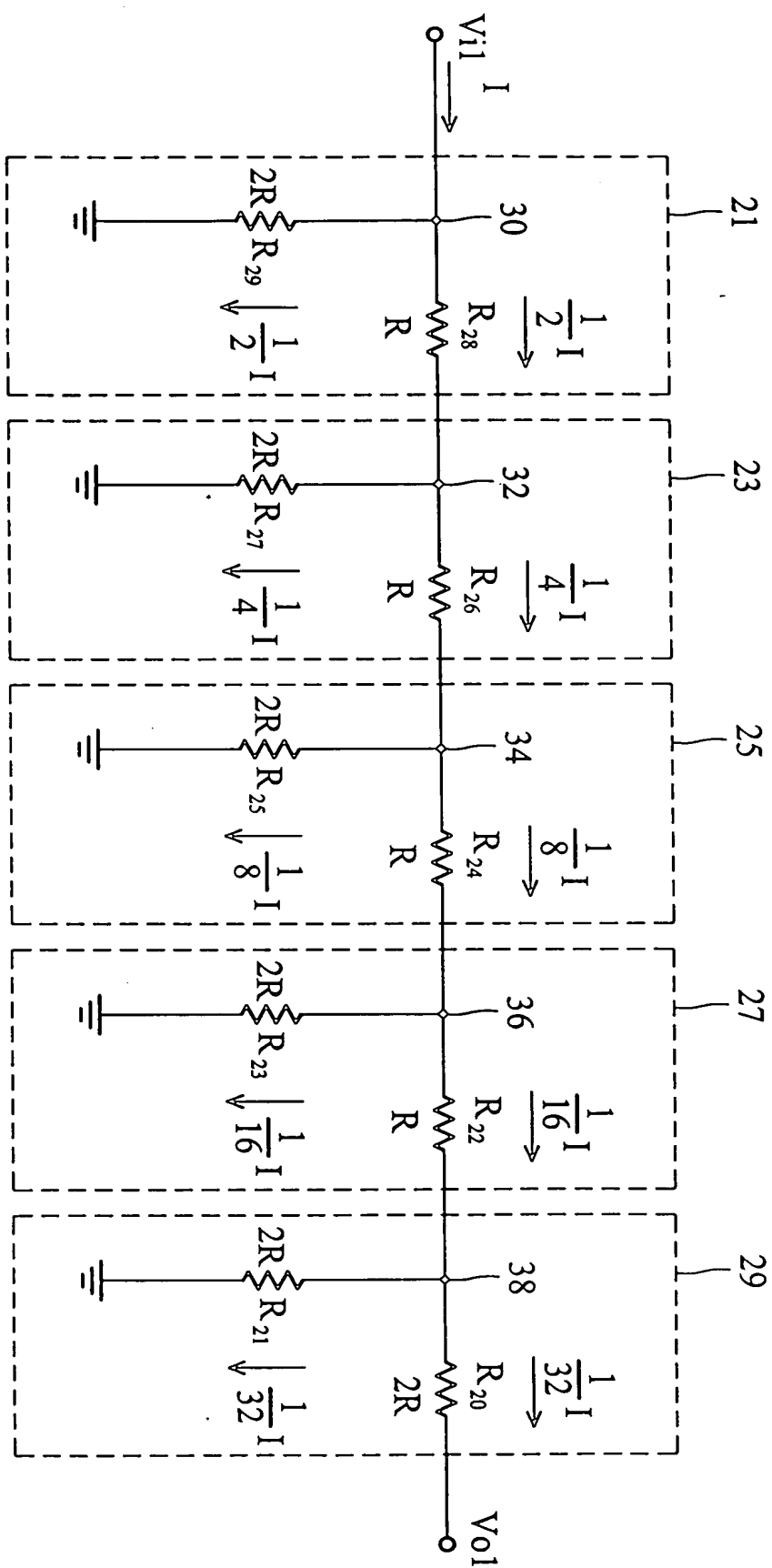
第 2 圖



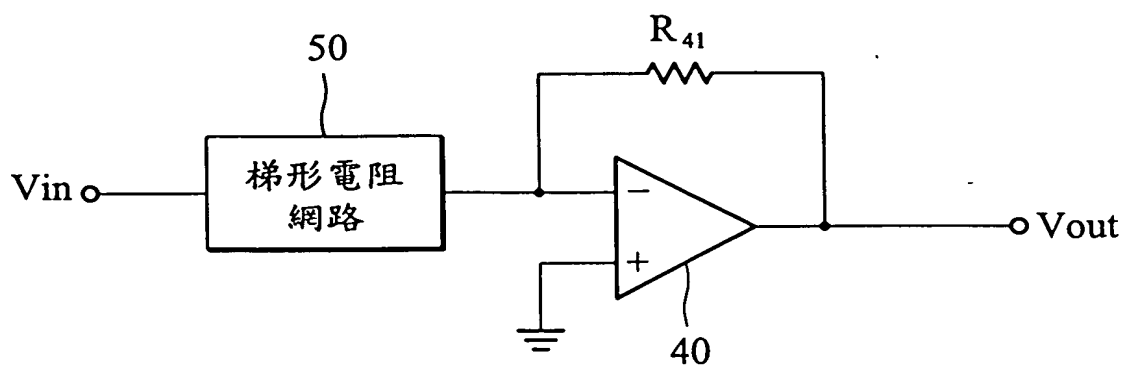
第 3 圖



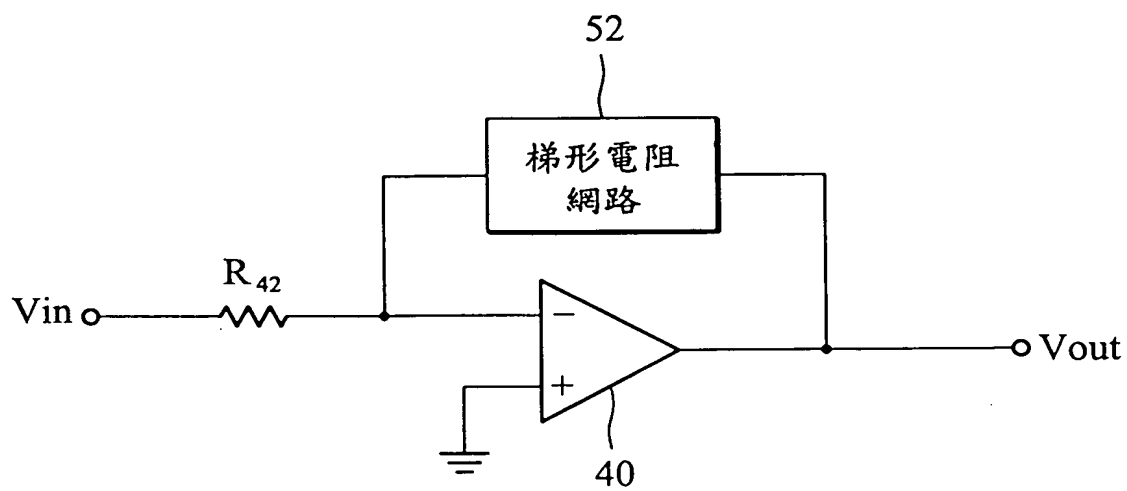
第 4 圖



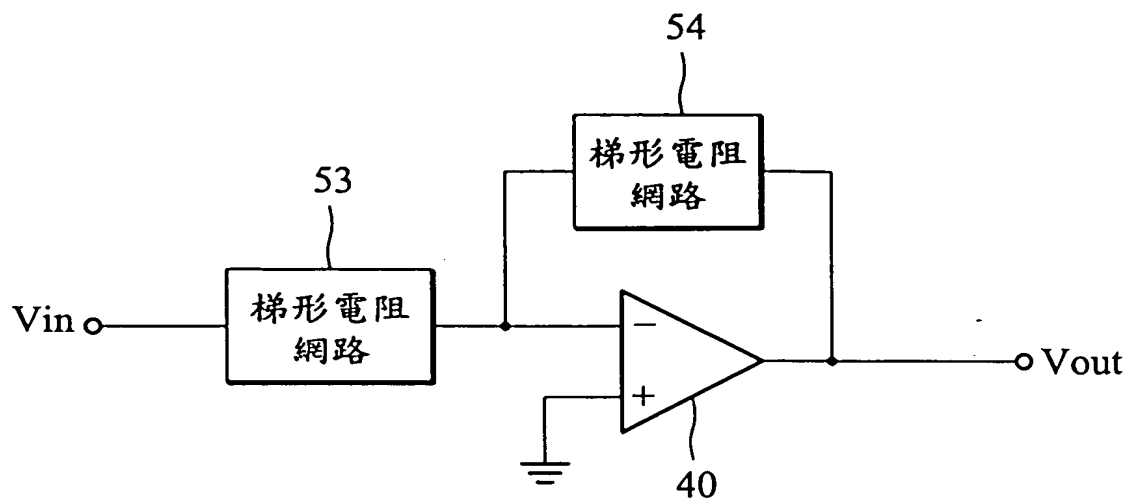
第 5 圖



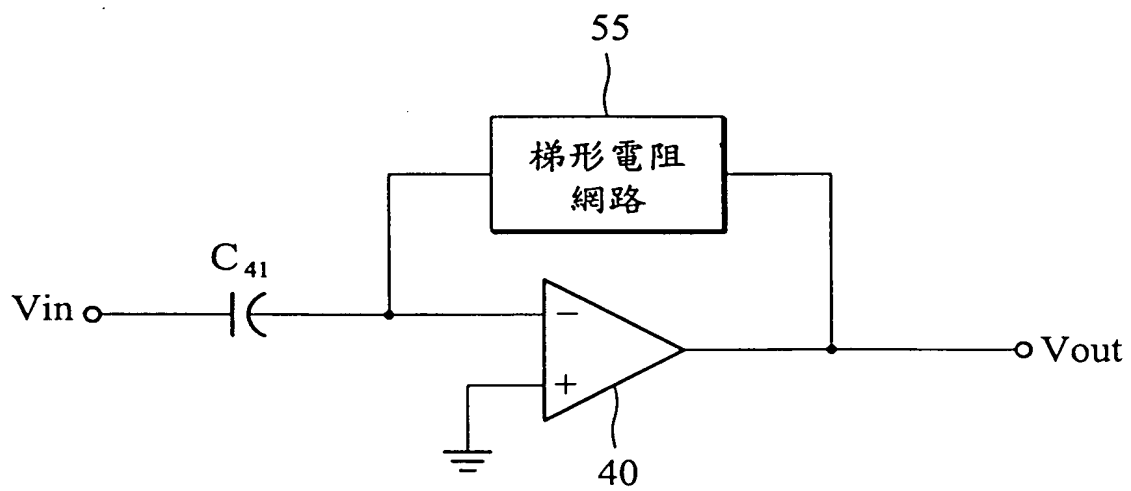
第 6 圖



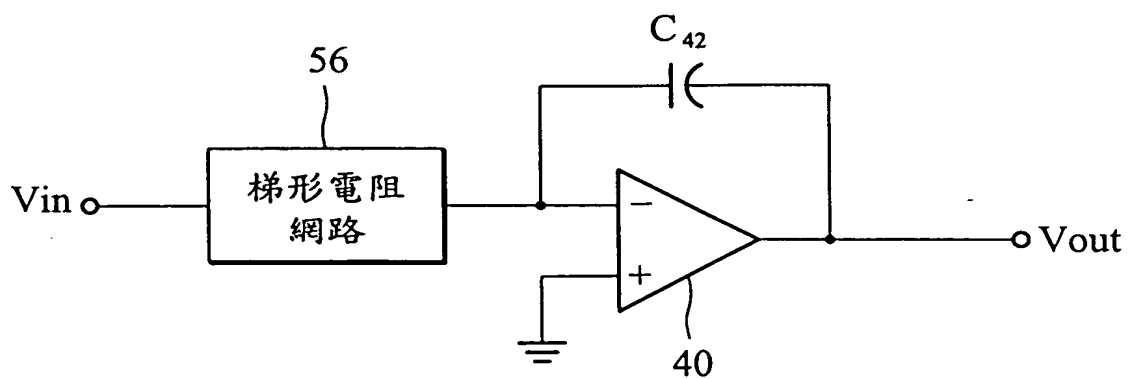
第 7 圖



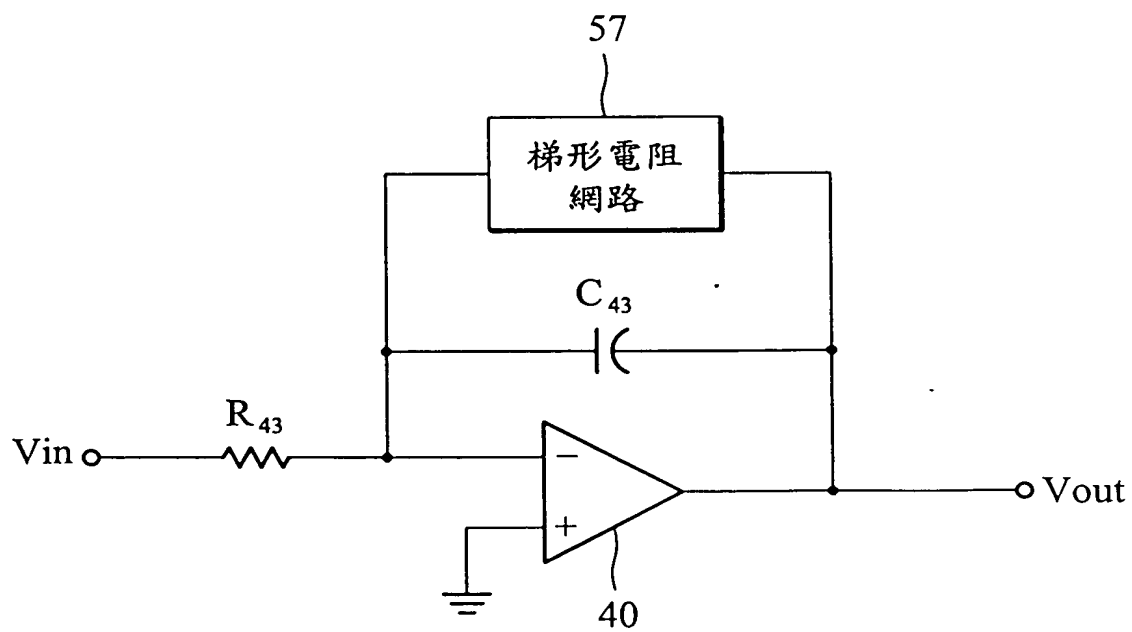
第 8 圖



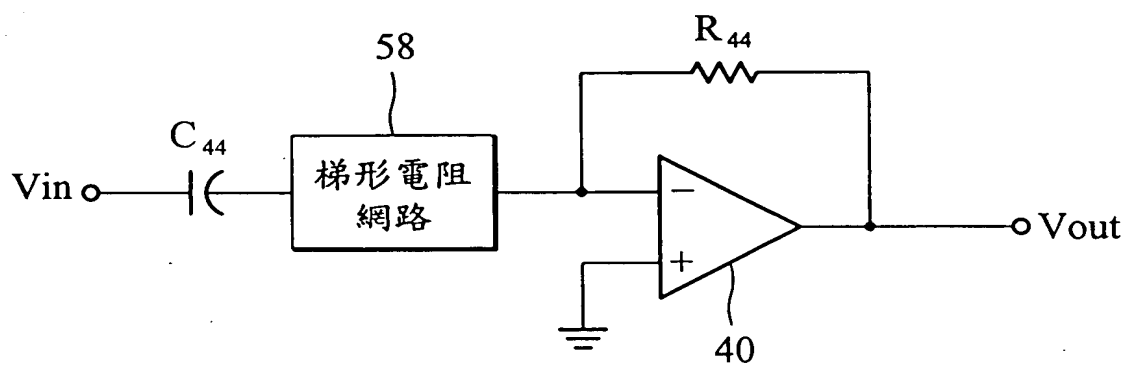
第 9 圖



第 10 圖

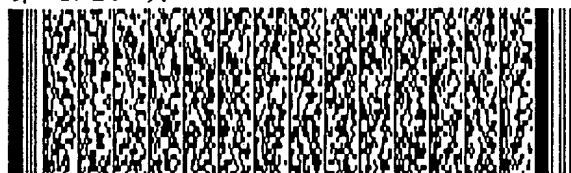


第 11 圖

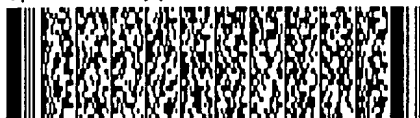


第 12 圖

第 1/20 頁



第 2/20 頁



第 3/20 頁



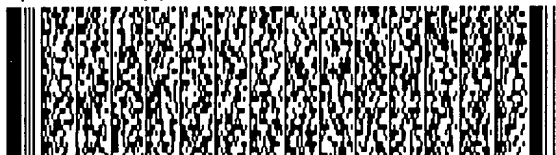
第 4/20 頁



第 5/20 頁



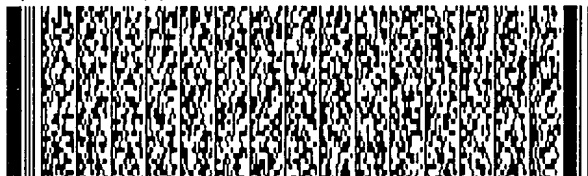
第 6/20 頁



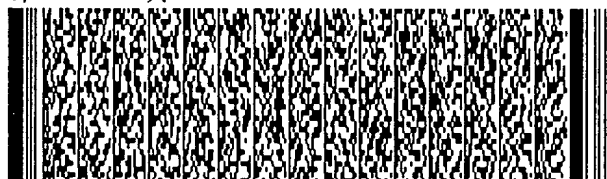
第 6/20 頁



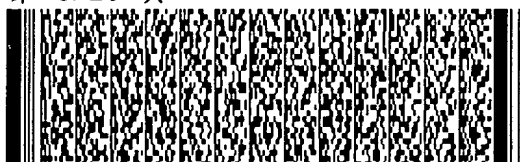
第 7/20 頁



第 7/20 頁



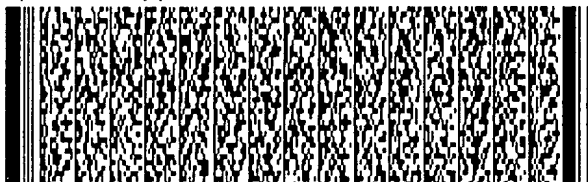
第 8/20 頁



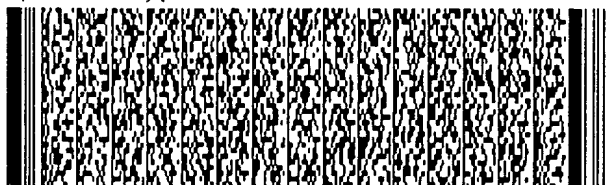
第 8/20 頁



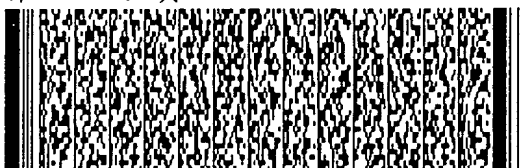
第 9/20 頁



第 9/20 頁



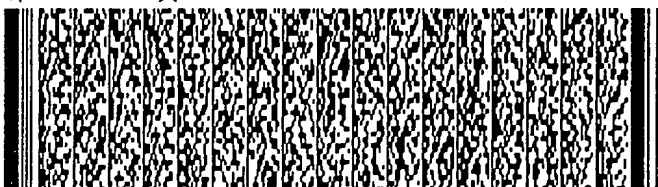
第 10/20 頁



第 10/20 頁



第 11/20 頁



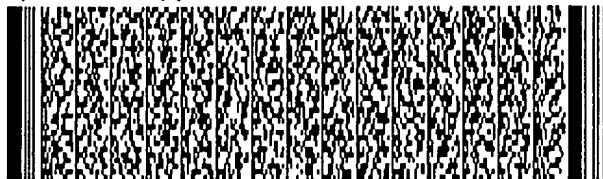
第 12/20 頁



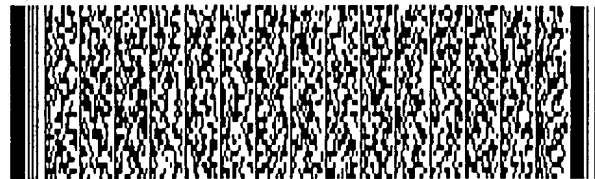
第 12/20 頁



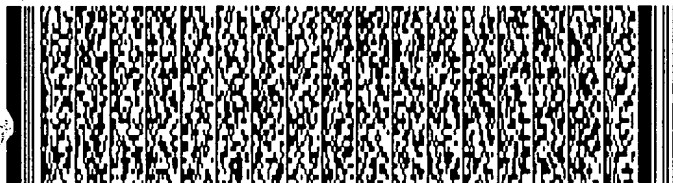
第 13/20 頁



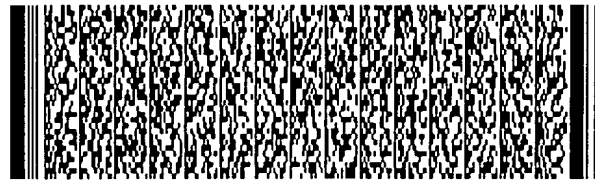
第 13/20 頁



第 14/20 頁



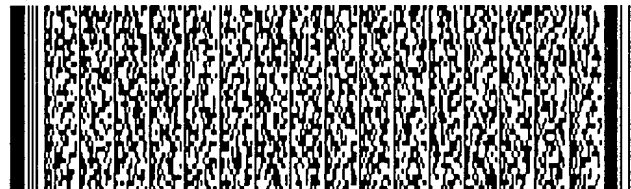
第 15/20 頁



第 16/20 頁



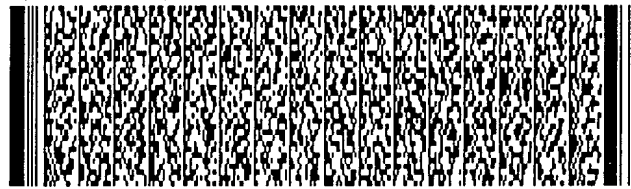
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

